

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of:

ABE, et al.

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: July 29, 2003

Attorney Dkt. No.: 108066-00092

For: SEMICONDUCTOR INTEGRATED CIRCUIT HAVING CONTROLLABLE  
INTERNAL SUPPLY VOLTAGE

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: July 29, 2003

Sir:

The benefit of the filing date(s) of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

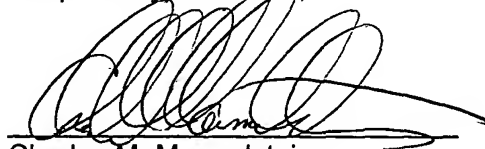
Foreign Application No. 2002-231451, filed August 8, 2002 in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein  
Registration No. 25,895

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM/cam

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 8日

出 願 番 号

Application Number:

特願2002-231451

[ ST.10/C ]:

[ JP2002-231451 ]

出 願 人

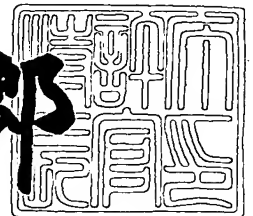
Applicant(s):

富士通株式会社

2003年 2月21日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3009341

【書類名】 特許願

【整理番号】 0240297

【提出日】 平成14年 8月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 内部電源電圧が制御される半導体集積回路

【請求項の数】 8

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 阿部 裕之

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 高須賀 豊

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 伊勢 尚生

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 鷹野 裕子

【発明者】

    【住所又は居所】 福島県会津若松市門田町工業団地4番地 株式会社富士通東北エレクトロニクス内

    【氏名】 高橋 幸江

【特許出願人】

    【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【選任した代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 内部電源電圧が制御される半導体集積回路

【特許請求の範囲】

【請求項 1】 半導体集積回路において、

外部電源電圧を降圧して内部電源電圧を生成する内部電源電圧発生回路と、  
前記内部電源電圧を供給されて動作する内部回路とを有し、

前記内部電源電圧発生回路は、前記内部回路の動作速度に応じて、生成する内部電源電圧のレベルを変更することを特徴とする半導体集積回路。

【請求項 2】 請求項 1 において、

前記内部回路の動作速度に応じて制御された周波数の内部クロックを生成するクロック制御回路を有し、

前記内部クロックが第 1 の周波数に制御される時は、前記内部電源電圧が第 1 の電圧に制御され、前記内部クロックが第 1 の周波数より低い第 2 の周波数に制御される時は、前記内部電源電圧が第 1 の電圧より低い第 2 の電圧に制御されることを特徴とする半導体集積回路。

【請求項 3】 請求項 1 において、

前記内部回路の動作速度に応じて制御された周波数の内部クロックを生成するクロック・電圧制御回路を有し、

当該クロック・電圧制御回路は、前記内部クロックの周波数を制御すると共に、前記内部電源発生回路が生成する内部電源電圧のレベルを前記内部クロックの周波数に対応するレベルに制御することを特徴とする半導体集積回路。

【請求項 4】 請求項 3 において、

前記内部クロックが第 1 の周波数に制御される時は、前記内部電源電圧が第 1 の電圧に制御され、前記内部クロックが第 1 の周波数より低い第 2 の周波数に制御される時は、前記内部電源電圧が第 1 の電圧より低い第 2 の電圧に制御されることを特徴とする半導体集積回路。

【請求項 5】 請求項 2 乃至 4 のいずれかにおいて、

前記内部電源電圧の制御された電圧レベルは、それぞれ対応する内部クロックの周波数に対して前記内部回路が動作可能な下限電圧レベルよりも高く制御され

ることを特徴とする半導体集積回路。

【請求項 6】請求項 2 または 4 において、

前記内部電源電圧が前記第 2 の電圧から第 1 の電圧に増加制御されるときは、前記内部電源電圧発生回路が生成する前記内部電源電圧が前記第 1 の電圧に上昇したことが確認された後に、前記内部クロックの周波数が前記第 2 の周波数から第 1 の周波数に変更制御されることを特徴とする半導体集積回路。

【請求項 7】請求項 1 において、

前記内部回路がスタンバイモードに制御される時は、前記内部電源電圧発生回路は内部電源電圧の発生を停止することを特徴とする半導体集積回路。

【請求項 8】請求項 2 において、

前記内部回路に含まれる CPU が実行するプログラムに応じて、クロック制御回路が生成する内部クロックの周波数が制御され、更に、内部電源電圧発生回路が生成する内部電源電圧レベルが制御されることを特徴とする半導体集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、制御用のマイクロコントローラのような半導体集積回路に関し、特に内部電源電圧が動作モードに応じて制御可能であり、それによって省電力化された半導体集積回路に関する。

【 0 0 0 2 】

【従来の技術】

近年の半導体集積回路、特に制御用のマイクロコントローラは、高速処理で且つ低消費電力をより強く要求されている。高速処理の要求に伴い、集積回路の微細化が進み、トランジスタのサイズが小さく、その動作電圧も低くなる傾向にある。そのために、半導体集積回路内の内部電源電圧を、外部回路の電源電圧に比較して低くするために、外部電源電圧を降圧して内部電源電圧を生成する直流電圧レギュレータが内蔵される。内部電源電圧を低く制御することにより、半導体集積回路の消費電力を低下させることができる。

【 0 0 0 3 】

また、低消費電力化のために、マイクロコントローラなどの半導体集積回路には、各種の省電力モードが設けられている。例えば、一定期間動作指令がない場合にスタンバイモードに移行し、クロックの供給を停止して内部回路の一部の動作を停止させるよう制御される。

【 0 0 0 4 】

【発明が解決しようとする課題】

従来の半導体集積回路では、内部電源電圧は一定値になるよう制御されている。例えば、内部回路が高速動作モードであっても低速動作モードであっても、内部電源電圧は一定値に制御されている。但し、高速動作モードでは動作クロックの周波数は高くなり、それに伴い内部回路の消費電力も高くなるが、低速動作モードでは動作クロックの周波数が低くなり、それに伴い内部回路の消費電力も低くなる。このように、動作クロック周波数を低く制御して内部回路を低速動作させることにより、実質的な省電力モードを実現することができ、トータルで省電力化を実現している。

【 0 0 0 5 】

しかしながら、近年において更なる省電力化が要求されている。例えば、制御対象装置が電池により駆動される携帯型装置などの場合は、よりいっそうの消費電力化が必要になる。

【 0 0 0 6 】

そこで、本発明の目的は、省電力化を可能にした半導体集積回路を提供することにある。

【 0 0 0 7 】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、外部電源電圧を降圧して内部電源電圧を生成する内部電源電圧発生回路を有する集積回路において、内部電源電圧を供給されて動作する内部回路を有し、内部電源電圧発生回路は、内部回路の動作速度に応じて、生成する内部電源電圧のレベルを変更することを特徴とする。

【 0 0 0 8 】

上記の発明の側面において、好ましい実施例では、内部回路の動作速度に応じて制御された周波数の内部クロックを生成するクロック制御回路を有し、内部クロックの周波数がより高く制御されるときは、内部電源電圧もより高く制御され、内部クロックの周波数がより低く制御されるときは、内部電源電圧もより低く制御される。これにより、内部回路の動作不能状態を回避し、低速動作時における消費電力をいっそう低減することができる。

## 【 0 0 0 9 】

上記の発明の側面において、より好ましい実施例では、内部回路の動作速度に応じて制御された周波数の内部クロックを生成するクロック制御回路が、内部クロックの周波数を制御すると共に、内部電源発生回路が生成する内部電源電圧のレベルを制御する。具体的には、内部クロックが第 1 の周波数に制御される時は、内部電源電圧が第 1 の電圧に制御され、内部クロックが第 1 の周波数より低い第 2 の周波数に制御される時は、内部電源電圧が第 1 の電圧より低い第 2 の電圧に制御される。このように、内部クロックがより高い周波数に制御される時は、内部電源電圧もより高く制御され、内部クロックがより低い周波数に制御される時は、内部電源電圧もより低く制御される。但し、内部電源電圧の電圧レベルは、それぞれの内部クロックの周波数に対して内部回路が動作可能な下限電圧レベルよりも高く制御される。

## 【 0 0 1 0 】

更に、上記の発明の側面において、より好ましい実施例では、内部回路がスタンバイモード若しくはスリープモードに制御される時は、内部電源電圧発生回路は内部電源電圧の発生を停止する。これにより、スタンバイモード時には、内部回路の非動作状態におけるリーク電流も防止することができ、それに伴い消費電力を低減させることができる。

## 【 0 0 1 1 】

更に、上記の発明の側面において、より好ましい実施例では、内部回路に含まれる CPU が実行するプログラムに応じて、クロック制御回路が生成する内部クロックの周波数が制御され、更に、内部電源電圧発生回路が生成する内部電源電圧レベルが制御される。つまり、実行するプログラムによって高速動作モードか

低速動作モードかが判別され、高速動作モード時には、内部クロックの周波数がより高く、内部電源電圧がより高く制御され、低速動作モード時には、内部クロックの周波数がより低く、内部電源電圧がより低く制御される。

【 0 0 1 2 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【 0 0 1 3 】

図 1 は、本実施の形態における動作周波数と動作電圧との関係を示す図である。横軸は、半導体集積回路の内部回路に供給される内部クロックの周波数  $F$  であり、縦軸は、内部電源電圧  $V_{cc}$  である。本発明者らは、クロックの周波数が高い高速動作モードの時は、内部電源電圧をある程度高くしないと内部回路が動作不能になるが、クロックの周波数が低い低速動作モードでは、内部電源電圧をある程度低くしても内部動作は動作可能であることを見いだした。つまり、クロックの動作周波数に対して内部回路が動作可能な下限内部電源電圧  $V_{min}$  は、図 1 に示されるとおり、高い周波数では高くなるが、低い周波数では低くなる。つまり、動作周波数が低くなると、低い電源電圧であっても下限内部電源電圧  $V_{min}$  以上であれば内部回路は正常に動作可能になる。

【 0 0 1 4 】

電圧  $V_1$  は、例えば、従来の内部電源電圧発生回路が生成する内部電源電圧のレベルである。この内部電源電圧  $V_1$  は、破線で示されるとおり、最大クロック周波数に対応する下限内部電源電圧より高く、従来において、クロックの周波数  $F$  が高い時も低い時も、内部電源電圧は一律に  $V_1$  レベルに制御されている。それに対して、本実施の形態では、クロック周波数  $F$  が高い時は、そのクロック周波数で動作可能な最低内部電源電圧  $V_{min}$  より高い電圧  $V_1$  に内部電源電圧を制御し、クロック周波数  $F$  がそれより低い場合は、それぞれのクロック周波数で動作可能な最低内部電源電圧  $V_{min}$  より高いが、電圧  $V_1$  より低い電圧  $V_2$ 、 $V_3$  に内部電源電圧をそれぞれ制御する。

## 【 0 0 1 5 】

更に、本実施の形態では、スタンバイモード時には、内部クロックが停止し周波数はゼロになるが、その時、内部電源電圧発生回路による内部電源電圧の発生を停止する。その結果、内部電源電圧もゼロに制御される。即ち、図 1 内の太線で示されるとおり、動作周波数が低くなるにしたがい、内部電源電圧  $V_{cc}$  のレベルは、点 A, B, C, D, E, F と制御される。これらの制御された電圧レベルは、それぞれの周波数で内部回路が動作可能な最低電圧  $V_{min}$  よりも高くなるように設定される。

## 【 0 0 1 6 】

図 2 は、図 1 の内部電源電圧の制御に対応する動作周波数と消費電流との関係を示す図である。横軸はクロック周波数を、縦軸は消費電流をそれぞれ示す。図 2 には、内部電源電圧が  $V_1$ ,  $V_2$ ,  $V_3$  に制御された時の消費電流が示される。例えば、内部電源電圧が  $V_1$  に制御された場合は、周波数  $F$  の低下に比例して、消費電流も低下する。従来は、内部電源電圧が  $V_1$  に固定されていたので、電圧  $V_1$  の特性直線（破線）のように、周波数  $F$  の低下に比例して消費電流も低下していた。

## 【 0 0 1 7 】

それに対して、本実施の形態では、内部クロック周波数  $F$  が低くなると、それに伴って内部電源電圧は  $V_2$ ,  $V_3$  と低下するように制御される。従って、図 2 中に太線で示したとおり、クロック周波数が低いモードでの消費電流は従来例よりもより低く制御される。即ち、点 A, B, C, D, E, F に示されるように、消費電流は低減される。

## 【 0 0 1 8 】

さらに、スタンバイモード時には、内部電源電圧  $V_{cc}$  がゼロに制御される。スタンバイモード時には、内部回路に供給されるクロックが停止されるので、クロックに応答する動作による消費電流は無くなるが、内部電源電圧が供給されている限りは、内部回路内のリーク電流により消費電流が発生していた。本実施の形態では、その時に、クロックの停止と共に内部電源電圧も停止されるので、上記のリーク電流も発生しない。但し、内部回路が完全に停止するので、スタンバイ

モードから復帰するときは、パワーオン時と同様のリセット動作が必要になる。そのために、外部リセット端子を有し、外部からのリセット信号に応答して、内部ではパワーオンリセットと同じ初期化動作が行われる。

## 【 0 0 1 9 】

図 3 は、本実施の形態における半導体集積回路の一部構成図である。集積回路 1 0 は、例えば、各種の制御を行う 1 チップコントローラであり、内部回路 1 4 は、外部からのプログラム命令を実行して所定の制御信号を出力する CPU が含まれる。この内部回路 1 4 には、内部電源電圧 IVcc と内部クロック ICLK とがそれぞれ供給される。また、集積回路 1 0 は、外部から供給される外部電源電圧 EVcc から内部電源電圧 IVcc を生成する DC-DC レギュレータ（電圧制御回路）からなる内部電源電圧発生回路 1 2 を内蔵する。この内部電源電圧配線には、外付けまたは内蔵された平滑化コンデンサ Cp が接続される。

## 【 0 0 2 0 】

集積回路 1 0 は、更に、外部から供給されるクロック ECLK から分周したクロックを生成する PLL 回路 2 0 と、内部動作速度に応じて周波数を制御した内部クロックを生成するクロック制御回路 2 2 とを有する。具体的には、クロック制御回路 2 2 は、内部回路 1 4 内の CPU により、動作モードに応じて設定される PLL 選択レジスタ 2 4、ギア選択レジスタ 2 6、及びスタンバイモード選択レジスタ 2 8 の設定値に応じて、PLL 回路 2 0 が生成するいずれかの分周クロックか外部クロックかを内部クロック ICLK として生成し、更にスタンバイモード時にクロックを停止する。PLL 選択レジスタ 2 4 には、外部クロック ECLK か、PLL 回路 2 0 が生成する分周クロックかのいずれかを選択する制御データが設定される。また、ギア選択レジスタ 2 6 には、PLL 回路 2 0 が発生する分周クロック（例えば分周比 1 倍、2 倍、4 倍）のいずれかを選択する制御データが設定される。そして、スタンバイモード選択レジスタ 2 8 には、スタンバイモード時の制御データが設定される。このレジスタにスタンバイモードを示す制御データが設定されると、クロック制御回路 2 2 は、スタンバイ信号 STB を PLL 回路 2 0 に供給し、PLL 回路 2 0 の動作を停止させる。これにより、内部クロック ICLK は停止する。

## 【 0 0 2 1 】

内部回路 1 4 内の CPU は、実行するプログラム命令から内部回路の動作速度を検出し、それに対応した制御データをレジスタ群 2 4、2 6、2 8 それぞれに設定する。若しくは、一定期間動作指令を受信しない場合等は、CPU がスタンバイモード選択レジスタ 2 8 に制御データを設定する。

## 【 0 0 2 2 】

このように、クロック制御回路 2 2 は、内部回路の動作速度に応じて、内部クロック ICLK の周波数を可変制御する。従って、クロック制御回路 2 2 は、内部回路の動作速度を常に取得している。そこで、本実施の形態では、クロック制御回路 2 2 によって、内部電源電圧発生回路 1 2 が生成する内部電源電圧 IVcc の電圧レベルが制御される。具体的には、クロック制御回路 2 2 は、内部クロック ICLK の周波数に応じて、電圧制御信号 VCONa を内部電源電圧設定レジスタ 1 6 に設定する。そして、内部電源電圧発生回路 1 2 は、この内部電源電圧設定レジスタ 1 6 の設定データに応じて、生成する内部電源電圧 IVcc のレベルを制御する。

## 【 0 0 2 3 】

具体的な制御方法によれば、図 1 に示したとおり、内部クロック ICLK の周波数が高い時は、内部電源電圧 IVcc の電圧も高く制御され、内部クロック ICLK の周波数が低い時は、内部電源電圧 IVcc の電圧も低く制御される。従って、クロック制御回路 2 2 は、内部クロック周波数の制御に加えて、内部電源電圧の制御も行っているので、図 3 中ではクロック・電圧制御回路となっている。

## 【 0 0 2 4 】

内部電源電圧設定レジスタ 1 6 は、クロック・電圧制御回路 2 2 以外に、内部回路 1 4 内の CPU から内部バス BUS を介して設定されることも可能である。CPU は、プログラムの実行に伴い内部クロックの周波数の制御以外に、内部電源電圧のレベルの制御を、内部電源電圧設定レジスタ 1 6 を介して直接行うことができる。

## 【 0 0 2 5 】

内部回路がスタンバイモードになると、内部クロック ICLK が停止すると共に、内部電源電圧 IVcc の生成も停止される。それに伴い、内部回路 1 4 はほぼ完全に

停止する。それに伴い、スタンバイモードから通常動作モードに復帰するための復帰動作ができなくなる。従って、本実施の形態では、外部から供給されるリセット信号RSTに応答して、外部リセット回路18が、初期化信号INIにより内部電源電圧設定レジスタ16の設定値を初期化する。この初期化動作により、内部電源電圧発生回路12は、内部電源電圧IVccの発生を再開し、内部回路14が動作可能状態になる。また、初期化信号INIはクロック・電圧制御回路22にも供給され、それに応答して、クロック・電圧制御回路22は、内部クロックICLKの発生を再開する。

## 【0026】

このように、スタンバイモード時に内部電源電圧IVccの発生を停止することに伴って、外部の制御回路からのリセット信号RSTに応答して、内部電源電圧IVccが復帰する構成を有する。外部リセット回路18には、外部電源電圧が供給され、スタンバイモード時に外部リセット信号RSTに応答して動作できるようになっている。

## 【0027】

クロック・電圧制御回路22は、内部クロックICLKの周波数と、内部電源電圧IVccの電圧レベルとを共に制御する。その場合、高速動作から低速動作に移行する場合は、内部クロックICLKの周波数が低くなるように制御されると共に内部電源電圧IVccのレベルも低くなるように制御される。内部クロックICLKを低下する制御は、比較的短時間で完了するが、内部電源電圧IVccの低下は、平滑化コンデンサCpなどのため、徐々に進行する。しかし、内部回路14には、動作可能な最低電圧より高い内部電源電圧が供給されるかぎり、その内部動作に支障はない。

## 【0028】

一方、低速動作から高速動作に移行する場合は、内部電源電圧IVccの増加制御を先行して行い、実際の内部電源電圧IVccが増加したことを確認してから、内部クロックICLKの周波数を高くする制御を行う必要がある。上記と同様に、内部電源電圧IVccの上昇には徐々にしか進行しないので、実際の内部電源電圧IVccの上昇したことを確認してから、その電圧レベルで動作可能な周波数まで内部クロッ

ク ICLK が増加制御される。

#### 【 0 0 2 9 】

そのために、本実施の形態の集積回路 1 0 は、電源電圧監視回路 3 0 を有する。電源電圧監視回路 3 0 は、電圧レギュレータ 1 2 が生成する内部電源電圧 IVcc のレベルを監視し、検出した電圧レベルを電源電圧検出レジスタ 3 4 に格納する。そのために、電源電圧監視回路 3 1 は、内部電源電圧 IVcc と 3 つの基準電圧 V 1 , V 2 , V 3 とをそれぞれ比較するコンパレータ 3 1 , 3 2 , 3 3 を有し、それらコンパレータの出力信号が電源電圧検出レジスタ 3 4 に格納される。この動作の詳細は後述する。そして、電源電圧検出レジスタ 3 4 に設定されたデータは、クロック・電圧制御回路 2 2 に供給され、内部クロック ICLK の周波数制御のために参照される。つまり、内部クロック ICLK の周波数を増加させる時は、内部電源電圧 IVcc を高くするように制御し、それに応答して電源電圧監視回路 3 1 により検出される内部電源電圧 IVcc の電圧上昇を待って、前記内部クロック ICLK の周波数を高くするよう制御する。

#### 【 0 0 3 0 】

図 4 は、内部電源電圧発生回路の詳細回路図である。内部電源電圧発生回路 1 2 は、例えば DC - DC レギュレータであり、供給される外部電源電圧 EVcc と生成される内部電源電圧 IVcc との間に、電圧制御用の P チャネルトランジスタ T 1 が設けられる。そして、この電圧制御用トランジスタ T 1 のゲートには、基準電圧 Vref が供給される負入力端子 IN2 と、内部電源電圧 IVcc を抵抗分割した電圧が供給される正入力端子 IN1 とを有する差動増幅器 amp の出力が供給される。内部電源電圧 IVcc は、抵抗 R 1 , R 2 , R 3 , R 4 により分割され、それぞれの抵抗分割されたノード n 1 , n 2 , n 3 は、フィードバックトランジスタ T 2 , T 3 , T 4 を介して、正入力端子 IN1 にフィードバックされる。

#### 【 0 0 3 1 】

このフィードバックトランジスタ T 2 , T 3 , T 4 は、内部電源電圧設定レジスタ 1 6 の 2 ビットの制御データ VS0 , VS1 をデコードするデコーダ 1 3 の出力 C V 3 , C V 2 , C V 1 に応じて、いずれかが導通状態に制御される。導通状態に制御されたフィードバックトランジスタを介して、ノード n 1 , n 2 , n 3

のいずれかが差動増幅器ampの正入力IN1に供給される。また、デコーダ13の出力CVoffは、差動増幅器ampに供給され、それに応答して、差動増幅器ampの出力はHレベルに制御され、電圧制御用トランジスタT1は非導通状態にされる。その結果、内部電源電圧IVccの生成は停止され、抵抗列R1乃至R4によって、内部電源電圧IVccはグランドレベルになる。

## 【0032】

差動増幅器ampは、正入力IN1と負入力IN2とが等しくなる状態でバランスする。例えば、デコーダ13の出力CV3がHレベルでフィードバックトランジスタT2が導通状態にあるときは、ノードn1の電圧が基準電圧Vrefと等しくなるように、差動増幅器ampが電圧制御用トランジスタT1を制御する。ノードn1の電圧が基準電圧Vrefより低くなると、差動増幅器ampの出力はより低く制御され、それに応答して電圧制御用トランジスタT1はより深く導通して、内部電源電圧IVccは高くなる。それに伴い、ノードn1の電圧も上昇して、基準電圧Vrefのレベルで安定状態になる。一方、ノードn1の電圧が基準電圧Vrefより高くなると、差動増幅器の出力はより高く制御され、電圧制御用トランジスタT1はより浅く導通して、内部電源電圧IVccは低くなる。それに伴い、ノードn1の電圧も低下して、基準電圧Vrefのレベルで安定状態になる。

## 【0033】

デコーダ13の制御信号CV3がHレベルの時は、ノードn1が基準電圧Vrefに等しくなるように制御されるので、内部電源電圧IVccは、抵抗R1とR2+R3+R4との抵抗分割比に応じた電圧レベルになる。また、制御信号CV2がHレベルの時は、ノードn2が基準電圧Vrefに等しくなるように制御されるので、内部電源電圧IVccは、抵抗R1+R2とR3+R4の抵抗分割比に応じた電圧レベルになる。更に、制御信号CV1がHレベルの時は、内部電源電圧IVccは、抵抗R1+R2+R3とR4の抵抗分割比に応じた電圧レベルになる。従って、制御信号CV1がHレベルの時に内部電源電圧IVccは最も高い電圧に制御され、制御信号CV2, CV3がそれぞれHレベルの時は、順に低い電圧に制御される。

## 【0034】

従って、図1に示したように、内部電源電圧IVccを電圧V1, V2, V3に制

御するためには、制御信号CV1, CV2, CV3をそれぞれHレベルに制御すれば良い。また、スタンバイモード時には、制御信号CVoffがHレベルになり、内部電源電圧の生成が停止される。

#### 【0035】

この内部電源電圧設定レジスタ16では、2ビットの設定値VS0,VS1が3つの制御信号INI、VCONa、VCONsにより設定される。図3に示したとおり、外部リセット回路18から供給される初期化信号INIに応答して、2ビットの設定値VS0,VS1は初期値(1, 1)に設定される。初期値(1, 1)に設定されると、制御信号CV1がHレベルになり、内部電源電圧IVccは最も高い電圧V1に制御される。また、クロック・電圧制御回路22から供給される制御信号VCONaに応答して、2ビットの設定値VS0,VS1は、初期値(1, 1)とそれ以外の(1, 0)、(0, 1)、(00)のいずれかに設定される。設定値が(1, 0)の時は制御信号CV2がHレベルになり、内部電源電圧は電圧V2に制御され、設定値が(0, 1)の時は制御信号CV3がHレベルになり、内部電源電圧は電圧V3に制御され、設定値(0, 0)の時は制御信号CVoffがHレベルになり、内部電源電圧の生成は停止される。

#### 【0036】

更に、内部回路14内のCPUが、プログラムの実行に伴って、制御信号VCONsにより内部電源電圧設定レジスタ16の設定値VS0,VS1を可変設定することもあ。これにより、CPUは、直接、内部電源電圧の制御を行うことができる。

#### 【0037】

図5は、電源電圧監視回路の詳細回路図である。この電源電圧監視回路30は、外部電源EVccの抵抗分割などでそれぞれ生成される基準電圧V1, V2, V3と内部電源電圧IVccとをそれぞれ比較する差動比較器31, 32, 33と、各差動比較器からの出力を格納する電源電圧検出レジスタ34と、差動比較器33の出力を反転して低電圧リセット信号VRSTを出力するインバータ35とを有する。

#### 【0038】

図1に示される電圧V1, V2, V3に対して、内部電源電圧IVccが電圧V1以上になると、レジスタ34の設定値VD0はLレベルになり、電圧V1より低い

とHレベルになる。内部電源電圧IVccが電圧V 2以上になると、レジスタ3 4の設定値VD1はLレベルになり、V 2より低いとHレベルになる。同様に、内部電源電圧IVccが電圧V 3以上では、レジスタ3 4の設定値VD2はLレベルになり、V 3より低いとHレベルになる。従って、電源電圧監視回路3 0は、内部電源電圧IVccが、低いレベルから電圧V 1, V 2, V 3に達したか否かにより、レジスタ3 4の検出データVD0, VD1, VD2がそれぞれLレベルからHレベルになる。

## 【 0 0 3 9 】

前述したとおり、クロック・電圧制御回路2 2は、内部クロックICLKの周波数をより高く制御する時は、最初に内部電源電圧を上昇させるように電圧制御信号VCONaを出力し、電源電圧監視回路3 0が、内部電源電圧IVccがそれぞれ制御しようとしている電圧V 1, V 2に達したことを確認してから、内部クロックICLKを対応する周波数に制御する。それにより、内部回路1 4が内部クロックICLKの周波数で動作可能な最小電圧Vminより高い内部電源電圧IVccの供給を確実に受けることができ、内部クロックをより高い周波数に制御するとき、内部回路が動作不能になることが回避される。

## 【 0 0 4 0 】

電源電圧監視回路3 0は、内部電源電圧IVccが最低電圧V 3より低くなると、低電圧リセット信号VRSTを出力する。この低電圧リセット信号VRSTは、内部電源電圧が極端に低くなり、内部回路1 4内のレジスタやDRAMがもはやデータを保持できなくなる前に生成され、外部に出力される。つまり、内部電源低下を外部に知らせる信号である。この低電圧リセット信号VRSTに応答して、例えば、レジスタやメモリのデータが所定の方法によって退避されるよう制御される。

## 【 0 0 4 1 】

なお、スタンバイモード時には、内部電源電圧IVccの生成が停止される。しかし、スタンバイモード時の制御は、内部回路1 4内のCPUがスタンバイモードに移行することを制御するので、スタンバイモード選択レジスタ2 8にスタンバイモードへの移行が指示される前に、レジスタやメモリのデータは、所定の方法により退避される。従って、その場合は、この低電圧リセット信号VRSTは、外部には出力されない。

## 【 0 0 4 2 】

以上、本実施の形態における内部電源電圧の制御についてまとめると、次の通りである。

## (1) パワーオン時

電源オンに伴い、パワーオンリセット信号が発生し、初期化信号INIに応答して、内部電源電圧設定レジスタ16は、初期値に設定される。これに伴い、内部電源電圧IVccは、仕様で認められている最大クロック周波数でも動作可能な最低電圧より高い電圧V1のレベルに制御される。

## (2) 高速動作から低速動作への移行時

CPUが内部回路をより低速で動作するように制御するとき、ギア選択レジスタ26にPLL回路20のより高い分周比を選択する制御データを設定する。それに伴い、クロック・電圧制御回路22は、より周波数が低いクロックを選択し、内部クロックICLKとして出力する。更に、クロック・電圧制御回路22は、内部クロックICLKの周波数を低下させると共に、所定の電圧制御信号VCONaを内部電源電圧設定レジスタ16に設定することで、電圧レギュレータ12が生成する内部電源電圧IVccのレベルを低下させる。

## (3) 低速動作から高速動作への移行時

CPUが内部回路をより高速で動作するように制御するとき、ギア選択レジスタ26にPLL回路20のより低い分周比を選択する制御データを設定する。それに伴い、クロック・電圧制御回路22は、所定の電圧制御信号VCONaを内部電源電圧設定レジスタ16に設定することで、電圧レギュレータ12が生成する内部電源電圧IVccのレベルを上昇させる。そして、電源電圧監視回路30内の電源電圧検出レジスタ34の検出レベルが所望のレベルまで上昇したことを確認してから、クロック・電圧制御回路22は、より高い周波数のクロックを選択し、内部クロックICLKとして出力する。

## (4) スタンバイモードとそこからの復帰

CPUがスタンバイモードに制御するとき、データ退避などの必要な処理を行った後に、スタンバイモード選択レジスタ28を設定する。これにตอบสนองして、クロック・電圧制御回路22は、内部電源電圧設定レジスタをスタンバイモードの

データに設定し、電圧レギュレータ 1 2 による内部電源電圧  $V_{cc}$  の生成を停止させ、更に、スタンバイモード信号 STB を PLL 回路 2 0 に出力し、クロックの発生を停止させる。この結果、内部クロック ICLK も停止する。これにより、内部回路 1 4 は完全にスリープ状態になる。

#### 【 0 0 4 3 】

スタンバイモードから復帰する場合、内部回路 1 4 は完全にスリープ状態にあるので、外部からのリセット信号 RST の供給に応答して、復帰が行われる。外部リセット回路 1 8 は、初期化信号 INI を出力して、内部電源電圧設定レジスタ 1 6 を初期値に設定して、電圧レギュレータ 1 2 に最大電圧  $V_1$  を生成するように制御する。また、クロック・電圧制御回路 2 2 も最大周波数の内部クロックを生成する。

#### ( 5 ) 内部電源電圧の変更制御の別の例

内部電源電圧設定レジスタ 1 6 の設定値の変更は、クロック・電圧制御回路 2 2 からではなく、内部回路の CPU から内部バス BUS を介して行うこともできる。つまり、CPU は、レジスタ 2 4 , 2 6 , 2 8 に所定のデータを設定して内部クロックの周波数を制御すると共に、内部電源電圧設定レジスタ 1 6 に所定のデータを設定して内部電源電圧レベルも直接制御する。

#### 【 0 0 4 4 】

上記の高速動作や低速動作の一例としては、例えば、集積回路 1 0 が、通信制御を行うマイクロコンピュータについて説明すると以下の通りである。通信先が高速通信を行う場合は、集積回路 1 0 の内部回路 ( CPU 、メモリ、タイマーなどを含む ) は、内部クロックの周波数を高く、内部電源電圧を高く制御され、通信先が低速通信を行う場合は、内部クロックの周波数は低く、内部電源電圧は低く制御される。そして、通信を行わない場合は、スタンバイモードにされ、内部クロックは停止され、内部電源電圧の生成も停止される。

#### 【 0 0 4 5 】

以上のとおり、内部回路内の CPU からの制御により、動作モードに応じた制御データが各レジスタに設定される。それに伴い、クロック・電圧制御回路が、内部クロックの周波数と共に内部電源電圧のレベルも制御する。従って、低速動

作時の消費電力をよりいっそう削減することが可能になる。

【 0 0 4 6 】

以上、実施の形態をまとめると以下の付記の通りである。

【 0 0 4 7 】

（付記 1）半導体集積回路において、  
外部電源電圧を降圧して内部電源電圧を生成する内部電源電圧発生回路と、  
前記内部電源電圧を供給されて動作する内部回路とを有し、  
前記内部電源電圧発生回路は、前記内部回路の動作速度に応じて、生成する内部電源電圧のレベルを変更することを特徴とする半導体集積回路。

【 0 0 4 8 】

（付記 2）付記 1 において、  
前記内部回路の動作速度に応じて制御された周波数の内部クロックを生成するクロック制御回路を有し、  
前記内部クロックが第 1 の周波数に制御される時は、前記内部電源電圧が第 1 の電圧に制御され、前記内部クロックが第 1 の周波数より低い第 2 の周波数に制御される時は、前記内部電源電圧が第 1 の電圧より低い第 2 の電圧に制御されることを特徴とする半導体集積回路。

【 0 0 4 9 】

（付記 3）付記 1 において、  
前記内部回路の動作速度に応じて制御された周波数の内部クロックを生成するクロック・電圧制御回路を有し、  
当該クロック・電圧制御回路は、前記内部クロックの周波数を制御すると共に、前記内部電源発生回路が生成する内部電源電圧のレベルを前記内部クロックの周波数に対応するレベルに制御することを特徴とする半導体集積回路。

【 0 0 5 0 】

（付記 4）付記 3 において、  
前記内部クロックが第 1 の周波数に制御される時は、前記内部電源電圧が第 1 の電圧に制御され、前記内部クロックが第 1 の周波数より低い第 2 の周波数に制御される時は、前記内部電源電圧が第 1 の電圧より低い第 2 の電圧に制御される

ことを特徴とする半導体集積回路。

【 0 0 5 1 】

(付記 5) 付記 2 乃至 4 のいずれかにおいて、

前記内部電源電圧の制御された電圧レベルは、それぞれ対応する内部クロックの周波数に対して前記内部回路が動作可能な下限電圧レベルよりも高く制御されることを特徴とする半導体集積回路。

【 0 0 5 2 】

(付記 6) 付記 2 または 4 において、

前記内部電源電圧が前記第 2 の電圧から第 1 の電圧に増加制御されるときは、前記内部電源電圧発生回路が生成する前記内部電源電圧が前記第 1 の電圧に上昇したことが確認された後に、前記内部クロックの周波数が前記第 2 の周波数から第 1 の周波数に変更制御されることを特徴とする半導体集積回路。

【 0 0 5 3 】

(付記 7) 付記 1 において、

前記内部回路がスタンバイモードに制御される時は、前記内部電源電圧発生回路は内部電源電圧の発生を停止することを特徴とする半導体集積回路。

【 0 0 5 4 】

(付記 8) 付記 7 において、

更に、外部からのリセット信号に応答して、前記スタンバイモードから復帰する初期化信号を生成する外部リセット回路を有し、当該初期化信号に応答して、前記内部電源電圧生成回路が前記内部電源電圧の生成を再開することを特徴とする半導体集積回路。

【 0 0 5 5 】

(付記 9) 付記 1 において、

パワーオン時において、前記内部電源電圧が最大内部電源電圧レベルに制御されることを特徴とする半導体集積回路。

【 0 0 5 6 】

(付記 1 0) 付記 2 において、

前記内部回路に含まれる CPU が実行するプログラムに応じて、クロック制御

回路が生成する内部クロックの周波数が制御され、更に、内部電源電圧発生回路が生成する内部電源電圧レベルが制御されることを特徴とする半導体集積回路。

【 0 0 5 7 】

(付記 1 1) 付記 1 0 において、

前記実行するプログラムによって高速動作モードか低速動作モードかが判別され、前記高速動作モード時には、前記内部クロックの周波数がより高く、前記内部電源電圧がより高く制御され、前記低速動作モード時には、前記内部クロックの周波数がより低く、前記内部電源電圧がより低く制御されることを特徴とする半導体集積回路。

【 0 0 5 8 】

(付記 1 2) 付記 1 0 において、

更に、前記内部電源電圧発生回路に電圧制御信号を供給する第 1 のレジスタと、前記クロック制御回路に動作モード信号を供給する第 2 のレジスタとを有し、前記 CPU は、実行するプログラムに応じて、前記第 1 または第 2 のレジスタの少なくとも 1 つを変更設定することを特徴とする半導体集積回路。

【 0 0 5 9 】

【発明の効果】

以上、本発明によれば、内部回路の動作モードに応じて、内部電源電圧の電圧レベルが可変制御されるので、低速動作時における消費電力をよりいっそう削減することができる。

【図面の簡単な説明】

【図 1】

本実施の形態における動作周波数と動作電圧との関係を示す図である。

【図 2】

図 1 の内部電源電圧の制御に対応する動作周波数と消費電流との関係を示す図である。

【図 3】

本実施の形態における半導体集積回路の一部構成図である。

【図 4】

内部電源電圧発生回路の詳細回路図である。

【図 5】

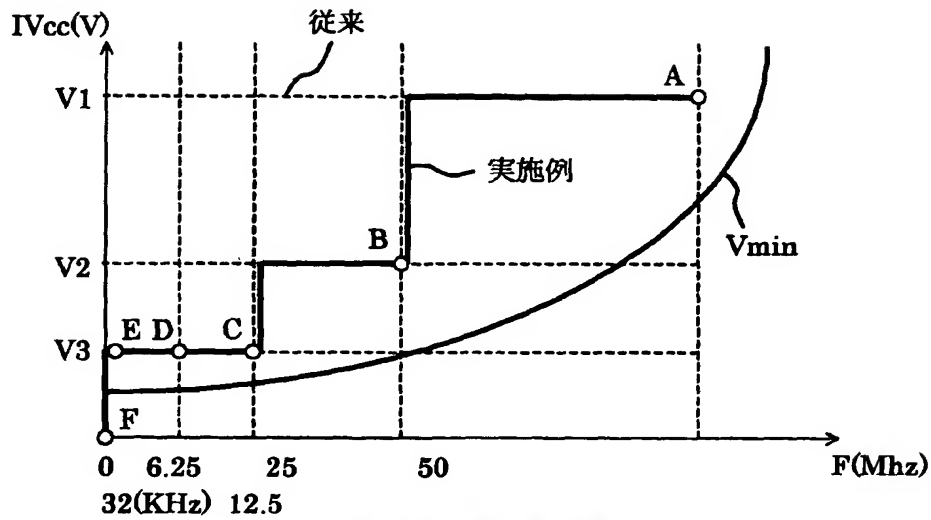
電源電圧監視回路の詳細回路図である。

【符号の説明】

1 0	半導体集積回路
1 2	内部電源電圧発生回路、直流電圧レギュレータ
1 4	内部回路
1 6	内部電源電圧設定レジスタ、第 1 のレジスタ
1 8	外部リセット回路
2 0	P L L 回路
2 2	クロック制御回路、クロック・電圧制御回路
2 4, 2 6, 2 8	レジスタ
EVcc	外部電源電圧
IVcc	内部電源電圧
ECLK	外部クロック
ICLK	内部クロック

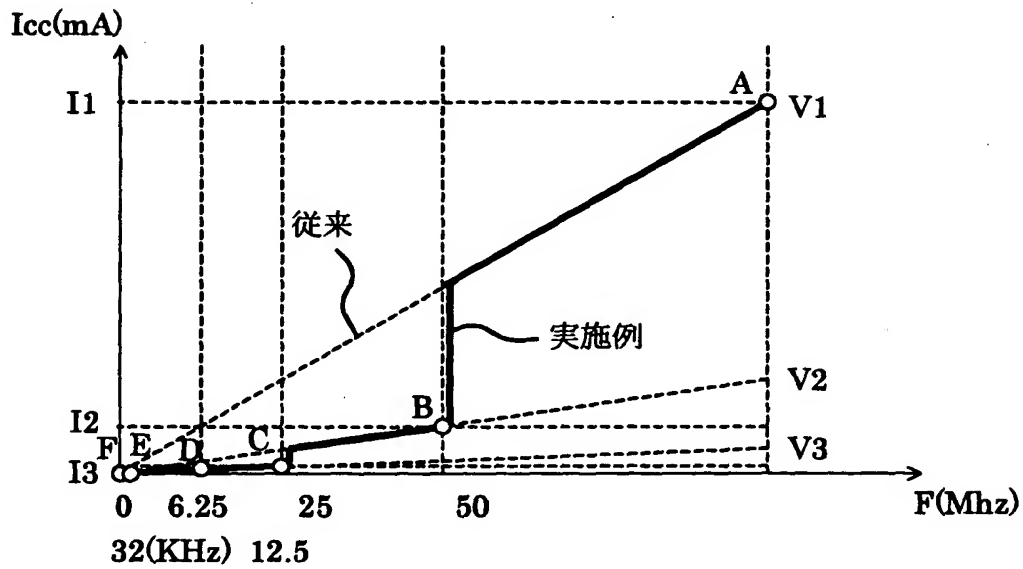
【書類名】 図面

【図 1】



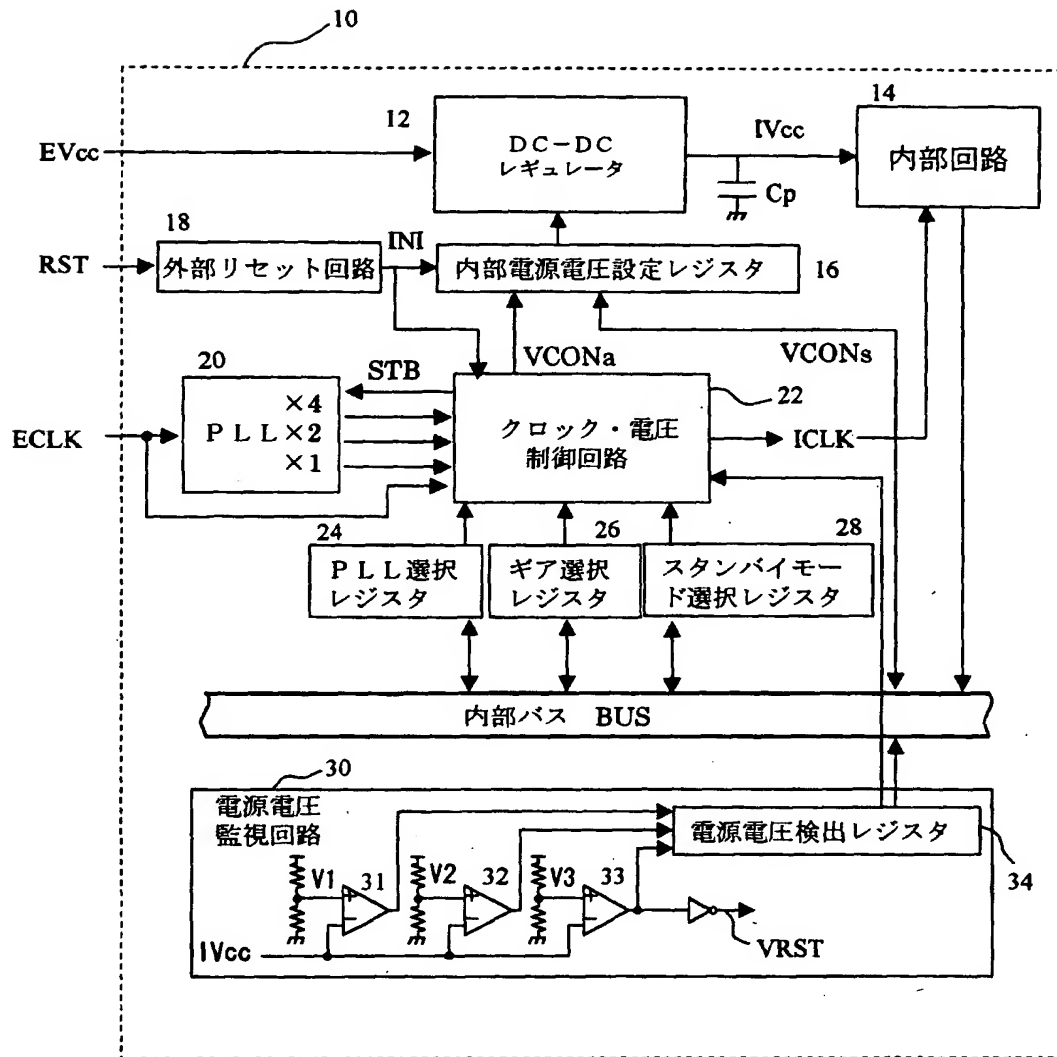
動作周波数と動作電圧

【図 2】

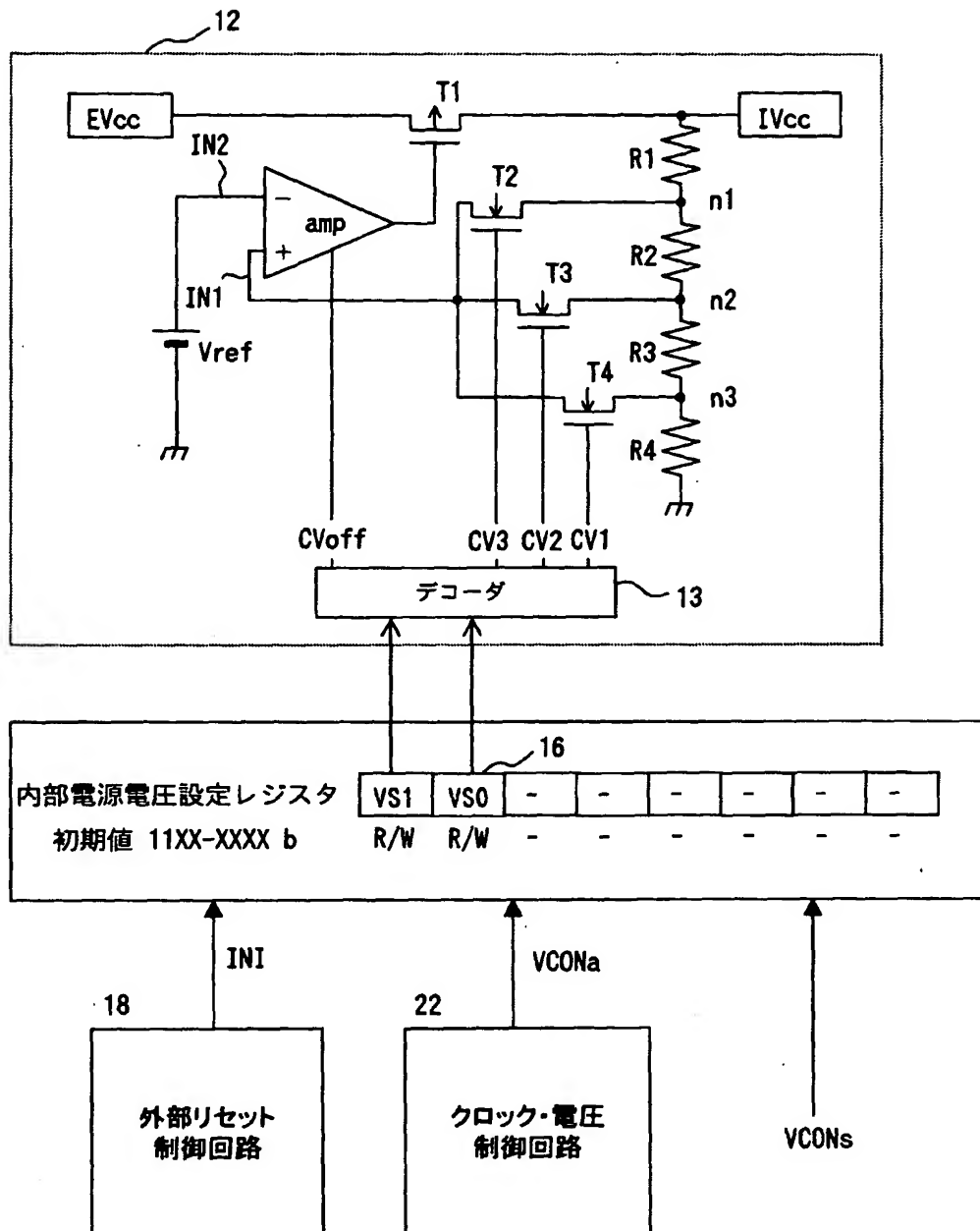


動作周波数と消費電流

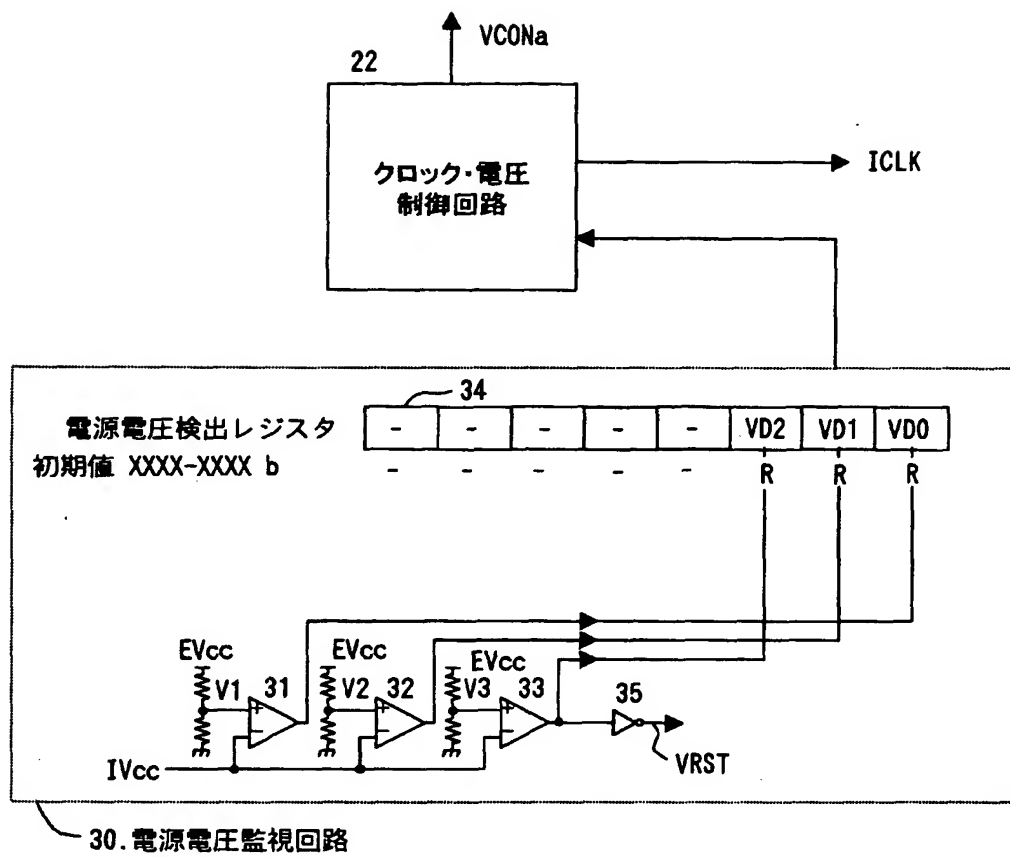
【図 3】



【図 4】



【図 5】



【書類名】

要約書

【要約】

【課題】 マイクロコントローラの低速動作時における消費電力をよりいっそう削減する。

【解決手段】 外部電源電圧EVccを降圧して内部電源電圧IVccを生成する内部電源電圧発生回路(12)を有する集積回路において、内部電源電圧を供給されて動作する内部回路(14)を有し、内部電源電圧発生回路は、内部回路の動作速度に応じて、生成する内部電源電圧のレベルを変更することを特徴とする。更に、内部回路の動作速度に応じて制御された周波数の内部クロックを生成するクロック制御回路(22)を有し、内部クロックの周波数がより高く制御されるときは、内部電源電圧もより高く制御され、内部クロックの周波数がより低く制御されるときは、内部電源電圧もより低く制御される。これにより、内部回路の動作不能状態を回避し、低速動作時における消費電力をいっそう低減することができる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社